

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59-169225

⑤ Int. Cl.³
H 03 K 17/687
19/094

識別記号 庁内整理番号
7105-5 J
7631-5 J

⑬ 公開 昭和59年(1984)9月25日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 集積回路

東京都港区芝五丁目33番1号日
本電気株式会社内

① 特 願 昭58-43469
② 出 願 昭58(1983)3月16日
③ 発 明 者 岡野安伸

④ 出 願 人 日本電気株式会社
東京都港区芝5丁目33番1号
⑤ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称
集積回路

2. 特許請求の範囲

出力用絶縁ゲートトランジスタのドレインに該出力用絶縁ゲートトランジスタの動作電圧よりも高い閾値電圧を有する第1および第2のトランジスタのゲート、ドレインを接続し、該第1および第2のトランジスタのソースを第1および第2の電源端にそれぞれ接続したことを特徴とする集積回路。

3. 発明の詳細な説明

本発明はMOS集積回路、特に出力バッファ用のMOSトランジスタの保護回路に関する。

出力がバッファとして1つのMOSトランジスタにより構成されたものがあるが、かかる単MOS出力バッファに於いて、特性上、MOSトランジ

スタのドレインサイズを大きく出来ない場合、第1図の様に、1個のダイオード2をMOSトランジスタのドレインに接続することによってMOSトランジスタ2を保護することになる。通常大きな出力電流を要求されない単MOSトランジスタのドレインサイズは小さい。そのため、保護ダイオードとして働くドレインの電流容量が小さくなる。このことから、出力端子に正・負の静電パルス印加した場合、正の静電パルスに対しては、電流経路が無い。よって、ダイオード2の逆方向の耐圧で破壊電圧が決まることになり、静電破壊に対する保護も低下する。逆に、負の静電パルスに対しては、電流経路がダイオード2の順方向を通して流れるため、単MOSトランジスタ1の保護として動作するが、通常は、ダイオード2の大きさは、単MOSトランジスタのドレイン幅に依存する。このため、小出力電流単MOSトランジスタ1のドレインサイズが小さいことは、保護ダイオード2のサイズが小さいことを意味する。つまり、静電気の放電電流が小さい。このように、

第1図で示した保護回路では、特に小さな出力電流しか要求されないMOSトランジスタに対しては、高電圧による静電破壊に対する効果は少ないという欠点がある。

そこで、静電破壊強度をさらに強くするために、第2図の様な保護回路が提案されている。この保護回路は、第1図の単MOSトランジスタ1のドレイン側に抵抗 R_D を直列に接続するものである。この抵抗 R_D は、出力端子に正・負の静電パルスが印加された場合に電流制限の作用を行なうもので、これによって単MOSトランジスタ1とダイオード2とに印加される電圧が緩和される。しかし、ドレイン側に抵抗 R_D を直列に接続するため、出力電流が必要以上に低下する欠点がある。逆に、出力電流の低下を防ごうとすると、パターンサイズが必然的に大きくなる。

本発明は単MOS出力バッファートランジスタ素子において、素子の電気的特性を低下させることなく、十分な保護効果を奏するようにする事を目的とする。

単MOSトランジスタ3、4は回路動作、単MOS出力バッファートランジスタ1の特性、あるいは負荷 R_L に影響を及ぼす事もなく、またパターン上ボンディングパッド近辺に配置出来るのでベレットサイズにも影響を及ぼす事もない。

次に、動作原理について説明する。

第4図は接地電位に対して、出力端子に正の静電パルスが印加された場合の電流経路である。この場合、高い閾値電圧をもった単MOSトランジスタ3のゲートに正電位が印加されるため、このトランジスタ3がオンし、電流は接地電位に流れる。第5図は接地電位に対して出力端子に負の静電パルスが印加された場合の電流経路である。この場合、ダイオード2を通して出力端子に電流が流れる。さらに高い閾値電圧をもったMOSトランジスタ3のブレイクダウンによりMOS出力バッファートランジスタ1を保護する。第6図は、高電位に対して、出力端子に正の静電パルスが印加された場合の電流経路である。この場合、高い閾値電圧をもったMOSトランジスタ4のゲートに

本発明は、出力バッファートランジスタの動作電圧よりも高い閾値を有するMOSトランジスタを2つ用意し、これらのドレインおよびゲート出力バッファートランジスタのドレインに接続し、そしてソースを電源端子にそれぞれ接続することを特徴とする。

以下、実施例に従って説明する。

第3図は、本発明の一実施例を示すものである。出力バッファMOSトランジスタ1のドレイン側に、このトランジスタ1の動作電圧よりも高い閾値電圧をもったMOSトランジスタを2個設け、各MOSトランジスタ3、4のゲートおよびドレインを出力バッファMOSトランジスタ1のドレイン側に接続し、MOSトランジスタ3のソースは接地端子へ、MOSトランジスタ4のソースは高電位 V_C の電源供給端子へそれぞれ接続する。前述のように、MOSトランジスタ3、4の閾値電圧は単MOS出力バッファートランジスタ1の動作電圧よりも高く設定しておく必要がある。

この様にする事により、高い閾値電圧をもった

正電位が印加されるため、このトランジスタ4がオンし、電流は高電位に流れる。

このように、本発明による破壊防止効果は優れている。尚、本実施例はNチャネルMOSトランジスタで示したがPチャネルMOSトランジスタにも適用される。

4. 図面の簡単な説明

第1図および第2図は従来の保護回路を示す回路図、第3図は本発明の一実施例を示す回路図、第4図、第5図、第6図は本発明の動作を説明するための図である。

1……出力バッファMOSトランジスタ、2……出力バッファMOSトランジスタのドレイン側ダイオード、3、4……高い閾値電圧をもったMOSトランジスタ。

代理人 弁理士 内 原 晋



